

SEMICONDUCTOR DEVICE HAVING MULTI-LAYER WIRINGS

Publication number: JP58200526 (A)

Publication date: 1983-11-22

Inventor(s): KOBAYASHI YUUKICHI +

Applicant(s): CITIZEN WATCH CO LTD +

Classification:

- **international:** *H01L21/20; H01L21/205; H01L21/60; H01L21/02;*
(IPC1-7): H01L21/60

- **European:** H01L21/20

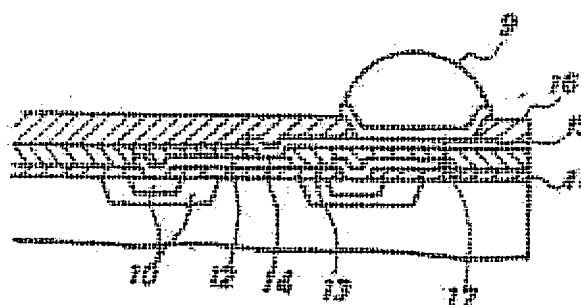
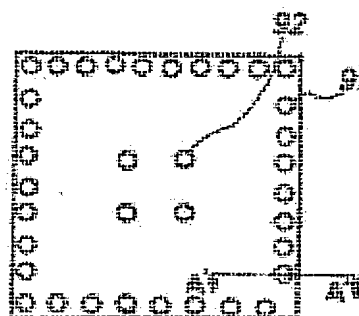
Application number: JP19820083828 19820518

Priority number(s): JP19820083828 19820518

Abstract of JP 58200526 (A)

PURPOSE:To protect chips from probing and mechanical impact during measurement by forming element region just under the bonding pad and also by forming an extruded electrode at the bonding pad. **CONSTITUTION:**An extruded electrode 91 is formed on the bonding pad of chip providing multi-layered wirings and an extruded electrode 92 is formed also at the center of chip. With such structure, a first wiring layer 12 is formed on an element 10 through an insulating film 11 and a first insulating layer 13 is also formed. The second wiring layer 15 is connected to the first wiring layer through a concrete hole 14 formed on the first insulating layer. A protection film 16 is formed on the second wiring layer 15, a bonding pad 17 is arranged on the protection film 16 and extruded electrode 9 is formed on the pad. Since the extruded electrode 9 is formed, a deposition stress increases.

Therefore such stress is alleviated by using a heat proof high polymer material having flexibility such as polyimide as an inter-layer insulating



film 13 and a highly reliable device
can be realized.

Data supplied from the **espacenet** database — Worldwide

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭58—200526

⑮ Int. Cl.³
H 01 L 21/20
21/60

識別記号

庁内整理番号
7739—5F
6819—5F

⑯ 公開 昭和58年(1983)11月22日

発明の数 1
審査請求 未請求

(全 3 頁)

⑰ 多層配線を有する半導体装置

所沢市大字下富武野840シチ
ズン時計株式会社技術研究所内
⑱ 出 願 人 シチズン時計株式会社
東京都新宿区西新宿 2 丁目 1 番
1 号

⑲ 特 願 昭57—83828

⑳ 出 願 昭57(1982)5月18日

㉑ 発 明 者 小林佑吉

明 細 書

1. 発明の名称

多層配線を有する半導体装置

2. 特許請求の範囲

突起電極が形成されているボンディングパッド部直下にも素子領域が形成されたことを特徴とする多層配線を有する半導体装置。

3. 発明の詳細な説明

本発明は多層配線を有する半導体装置に関するものである。従来の集積回路に於いては、ほとんどが一層配線で、さらにボンディングパッド部は測定時のブローピング、ワイヤーボンディング時の機械的衝撃により、損傷される危険があつた。故に素子領域をチップの内側に作り、チップ外周部分にボンディングパッド領域を形成して、ボンディングパッド部が損傷しても、素子領域に影響が与えられないようにされていた。しかし集積回路の集積度が増加するにつれて、素子間の配線が複雑化且つ多くの交差を要するようになり、多層配線が必要になつた。多層配線により、集積度が

向上し、チップサイズを小さくする事が出来るが、素子の微細化、増加にくらべ、ボンディングパッドの大きさはほとんど従来と変わらず、しかもパッド数は多くなる方向にある為、ボンディングパッド部の為に占める面積の割合も大きく必要になつて、チップの縮小化とは逆になつてしまつてゐる。本発明の目的とするところは、前記欠点を解消し、さらに集積度を向上できる、多層配線を有する半導体装置を提供せんとするにある。

上記目的を達成する為の本発明の要旨とするところは、多層配線を有する半導体装置のボンディングパッド部直下にも素子領域を形成し、且つボンディングパッド部には突起電極を形成することにより、測定時のブローピング、機械的衝撃からチップを保護したものである。

次に図面を参照して本発明の実施例を説明する。

第1図は従来の一層配線集積回路のチップ平面図を示しており、チップ外周にボンディングパッド領域1があり、ボンディングパッド2が領域内に配列されている。ボンディングパッド領域の内

側には素子領域3が形成させられている。第2図は第1図のパッド部であるA-A断面の拡大断面図で、チップ中央側に素子5が配置され、絶縁膜6を介して素子より取り出された配線7がチップ外周部まで引き出されている、外周部まで引き出された配線の上にボンディングパッド2が配置されており、その上に保護膜8が形成されている。以上のように配置すると、ボンディングパッド下には素子が無い為に測定時のブローピングやワイヤーボンディング時の機械的衝撃による、チップの損傷が避けられるが、集積度が高くならず、チップを小さくすることが難かしい。

第3図は本発明の多層配線をほどこしたチップの平面図でボンディングパッド上に突起電極91を形成し、且つ突起電極92をチップの中央部にも形成した構造を示す。第4図は第3図のA'-A'断面の拡大断面図である。素子10の上に絶縁膜11を介し第1配線層12が形成され、その上に第1絶縁層13が形成されている。第2配線層15が第1絶縁層の上に形成させられコンタクトホー

ル14をとおして第1配線層12と導通させられている。第2配線層15の上に保護膜16が形成され、その保護膜16にボンディングパッド17が配置され、そのパッド上に突起電極9が形成させられている。

尚多層配線構造の場合特に多層絶縁膜13の材質によつては堆積応力が増し絶縁膜にクラックが入り故障の原因となる事もある。本発明の場合さらに突起電極9を形成するので堆積応力はさらに増す方向にある。そこで層間絶縁膜13にポリイミド等の可撓性を有す耐熱高分子材料を用いると堆積応力が緩和され本発明の構造を信頼度の高い形で実現できる。

以上説明したように本発明によればこの突起電極をもうける事により機械的損傷がここで緩和される為、ボンディングパッド直下に素子を形成することも出来るので、チップ表面全体を能動素子領域として使用でき、且つ、ボンディングパッドをチップの外周部ばかりではなく、内周部にも配置させることができるのでICからの取り出し電

極数も非常に多くとることが可能である。

4. 図面の簡単な説明

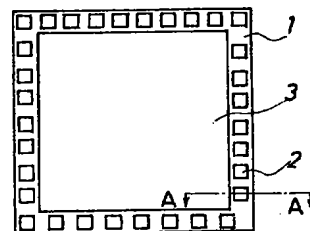
第1図は従来の一層配線集積回路の平面図、第2図は第1図のA-A断面図、第3図は本発明の半導体装置の平面図、第4図は第3図のA'-A'断面図である。

- 6, 13 … 絶縁層
- 8, 16 … 保護膜
- 9, 91, 92 … 突起電極
- 12 … 第1配線層
- 15 … 第2配線層
- 17 … ボンディングパッド

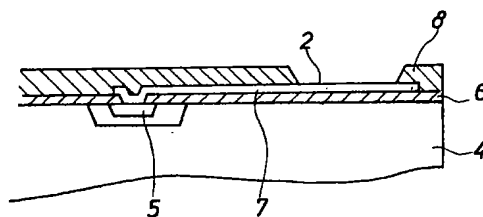
特許出願人 シチズン時計株式会社



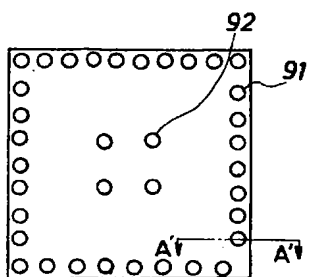
第1図



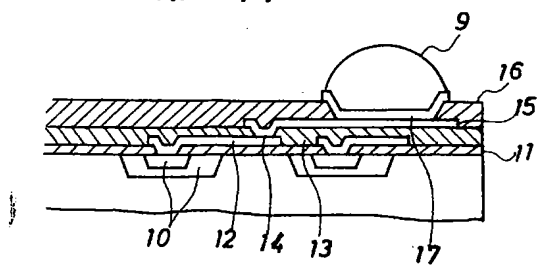
第2図



第3図




第4図



VERIFICATION OF TRANSLATION

I, Benjamin Willey, translator at Nakajima & Associates IP Firm, 6th floor, Yodogawa 5-Bankan, 3-2-1 Toyosaki, Kita-Ku, Osaka, Japan, hereby declare that I am conversant with the English and Japanese languages and am a competent translator thereof. I further declare that to the best of my knowledge and belief the following is a true and correct translation made by me of Japanese Patent Application Publication No. 58-200526 published on November 22, 1983.

Date: April 5, 2010


Benjamin Willey

[Partial Translation]

JAPANESE PATENT APPLICATION PUBLICATION NO.58-200526

Application Date May 18, 1982

Publication Date November 22, 1983

SEMICONDUCTOR DEVICE HAVING MULTIPLE LAYER WIRING

[omission]

FIG. 3 is a plan view of a chip provided with the multilayer wiring in the present invention. FIG. 3 shows a structure wherein protruding electrodes 91 are formed on a bonding pad, and protruding electrodes 92 are formed at the center of the chip. FIG. 4 is an enlarged cross-section diagram of the cross-section A' - A' in FIG. 3. A first wiring layer 12 is formed above component 10 with an insulating film 11 therebetween, and a first insulating layer 13 is formed thereabove. A second wiring layer 15 is formed above the first insulating layer so as to conduct with the first wiring layer 12 via a contact hole 14. A protective film 16 is formed above the second wiring layer 15, a bonding pad 17 is disposed on the protective film 16, and a protruding electrode 9 is formed above the pad.

In the case of multi-layer wiring, particularly depending on the quality of the material of the first insulating layer 13, accumulated stress may increase, causing cracks in the insulating layer and leading to malfunction. Since protruding

electrodes 9 are provided in the present invention, the accumulated stress increases even further. Using a heat resistant flexible polymer, such as polyimide, in the first insulating layer 13 lessens the accumulated stress, making it possible to achieve the structure of the present invention with a high degree of reliability.

As described above, providing these protruding electrodes in the present invention lessens mechanical damage in this area, allowing a component to be formed immediately below the bonding pad. The entire surface of the chip can thus be used as an active component area, and the bonding pad can be disposed not only on the outer periphery of the chip, but also the inner periphery; therefore, an extremely large number of electrodes for extraction from the IC can be provided.

[omission]

FIG. 3

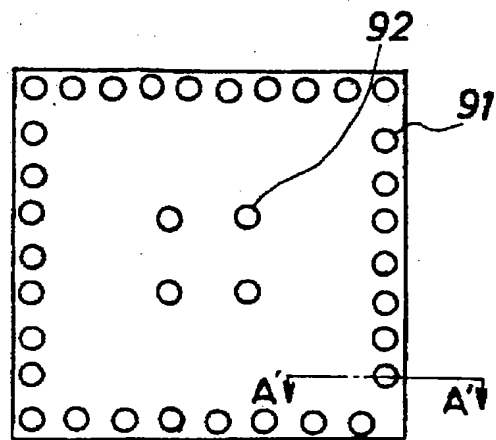


FIG. 4

